

权 利 要 求 书

1. 一种具有解扰器以恢复在数据编码过程中加扰的数据的光盘再现装置的系统解码器, 所述系统解码器包括:

5 第一和第二存储器, 用于纠错; 以及

存储器控制器, 用于在把从所述光盘读取和解调的数据写入所述存储器之一的同时把已纠错数据传送给所述解扰器, 及用于在写和读所述已解调和已纠错数据的同时对写入另一存储器的数据进行纠错。

10 2. 如权利要求 1 所述的系统解码器, 其中所述存储器控制器与纠错同步信号同步地进行纠错和数据存取。

3. 如权利要求 2 所述的系统解码器, 其中所述第一和第二存储器形成在单个芯片中。

4. 如权利要求 3 所述的系统解码器, 其中所述光盘再现装置是数字视盘播放机。

15 5. 一种控制光盘再现装置第一和第二纠错存储器的方法, 包括以下步骤:

一旦接收到由主数据、内校验数据和外校验数据组成的一个数据扇区的解调数据就交替地把一个纠错块写入所述第一和第二存储器;

对相应的一个纠错块进行纠错; 以及

20 当把一个纠错块写入所述存储器的任何一个时读取已纠错数据。

6. 如权利要求 5 所述的方法, 其中所述第一和第二存储器的每一个具有主数据区、内校验数据区和外校验数据区, 并且一旦接收到一个数据扇区的解调数据就分别写入由相应数据扇区组成的所述主数据、内校验数据和外校验数据。

25 7. 如权利要求 5 所述的方法, 其中所述一个纠错块包括 16 个数据扇区。

8. 如权利要求 5 所述的方法, 其中所述第一和第二存储器形成在单个芯片中。

说明书

具有纠错存储器的系统解码器 及其控制的方法

5

本发明涉及光盘再现装置的系统解码器，具体说涉及具有纠错存储器的高速传送数据的系统解码器及控制该系统解码器的方法。

自从大约在 20 年前开创能用激光光束读取记录在记录媒介上的数据的光盘技术以来，光盘再现装置例如激光光盘(LD)播放机或紧凑光盘(CD)播放机已普遍作为家用电器。使用这种光盘的记录/再现装置正在进入实用阶段。10 近来，随着短波激光器或记录/再现技术的开发，除了改写技术之外，高密度取得了进展。

同时，数字图像压缩技术一直在快速前进。尤其是，MPEG2(运动图像专家组 2)可以再现足够好的图像质量以便以低于 10Mbps 的传输速度在家中接收。在音频领域，能再现多声道音频的音频压缩技术 AC - 3 导致了高音15 质和多重音响。预期数字视盘(DVD)与可记录数字视盘(或多用途盘)在取代现有的视频记录/再现装置即磁带录像机(VTR)和 CD - ROM 方面将起到主要作用。这种 DVD 是数字运动图像盘介质之一，是能存储 2 小时或更长时间的 MPEG2 数字图像的高画质高音质的多媒体存储设备。

20 图 1 示意性表示一般的 DVD 再现装置。当盘 10 被盘驱动电机 16 转动时，由滑板式拾取器电机 14 驱动及含有光学头 12 的光拾取器 13 把从盘 10 再现的数据变换为模拟 RF(无线电频率)信号。该模拟 RF 信号被形成脉冲波形，数据流 ESM 传送到 PLL(锁相环)20 和系统解码器 18。系统解码器 18 对数据流 ESM 解调、纠错和解扰。由相位比较器、压控振荡器和频率倍除器等组成的数字 PLL20 产生与由任何光盘产生的信号同步的第一时钟。盘驱动25 控制器 22 根据从同步检测器(未示出)提供的帧同步信号 Sf 控制盘转动的恒定线速和考虑到频率伺服、相位伺服等的其他与盘有关的操作。

微处理器 24 根据控制程序控制 DVD 再现装置的总的操作。例如，如果从音频解码器 42、视频解码器 36 或 ROM(只读存储器)解码器 32 接收到传30 送开始信号，微处理器 24 就产生传送控制信号。由石英晶体振荡器组成的系统时钟产生器 26 产生第二时钟作为系统时钟 PLCK，并把系统时钟 PLCK

传送到盘驱动控制器 22 和纠错器(未示出)。连接到系统解码器 18 的第一存储器 28 是用于纠错的存储器, 其使用 SRAM(静态随机存取存储器)。第二存储器 30 是路径缓冲存储器, 其使用 DRAM(动态随机存取存储器)。大部分包含在主机(例如, 个人计算机)中的 ROM 解码器 32 根据主机命令而操作, 它
5 根据一种接口类型把从系统解码器 18 产生的数据传送给主机。多路信号分离器 34 接收来自系统解码器 18 的音频和视频信号, 并分别把已分离的音频和视频信号传送到 AC3/MPEG 音频解码器 42 和 MPEG2 视频解码器 36。分别从视频解码器 36 和音频解码器 42 解码的视频数据和音频数据传送到 NTSC(或 PAL)编码器 38 和数模(D/A)变换器 44, 并分别输出到监视器 40 和
10 扬声器 46。

图 2 是图 1 系统解码器 18 的详细方框图。用于纠错的第一存储器 28 是 SRAM。用于缓冲数据的第二存储器 30 是 DRAM。通过光学头 12 读出的数据流 ESM 通过 ESM 解调器 100 中的 32 位移位寄存器 102 和 16 至 8 解调器 104 而被解调制。同步检测器 106 从由 32 位移位寄存器 120 产生的数据中
15 检测出帧同步信号 Sf, 并把检出的帧同步信号 Sf 传送给数 PLL20。与此同时, 经过 EFM 解调器 100 解调的数据在纠错码(ECC)存储器控制器 108 的控制下存储到第一存储器 28 中。在 ECC 存储器控制器 108 的控制下存储在第一存储器 28 中的数据以块为单位读出并传送到纠错器 110。来自纠错器 110 的已纠错数据在 ECC 存储器控制器 108 的控制下传送到解扰器和差错检测器
20 112。解扰器和差错检测器 112 中的解扰器恢复在数据编码过程中加扰的数据, 其差错检测器检测已解扰数据的差错。解扰和检错以扇区为单位进行。从解扰器和差错检测器 112 检测出的差错信息在微处理器存储器存取控制器 116 的控制下与数据一起存储到第二存储器 30 中。在经过微处理器接口 122 的微处理器 24 的控制下, 微处理器存储器存取控制器 116 控制缓冲器写控制
25 器 114、缓冲器读控制器 118 和路径缓冲存储控制器 120。缓冲器写控制器 114 在微处理器存储器存取控制器 116 的控制下把来自解扰器和差错检测器 112 的已解扰已检错数据写入第二存储器 30。缓冲器读控制器 118 在微处理器存储器存取控制器 116 的控制下读取已存储在第二存储器 30 中的数据并将读出的数据传送到音频/视频(A/V)解码器接口和 DVD - ROM 接口 126。微
30 处理器接口 122 在系统解码器 18 和微处理器 24 之间连接发送/接收信号。

在操作中, 进行数据流的同步检测、识别(ID)检测和解调制。其次, 实

现检错和纠错。此后，执行已纠错数据的解扰、检错和路径缓冲。第一存储器 28 具有：第一区，用于缓冲已 EFM 解调的数据；第二区，用于水平和垂直地对已缓冲的纠错块纠错；及第三区，用于把已纠错数据传送到第二存储器 30。即，ECC 存储器控制器 108 把已 EFM 解调的数据存入第一存储器 28 的第一区，以块为单位地读出并纠错存储在第一区中的数据，把已纠错数据存入第一存储器 28 的第三区，并把存储在第三区中的数据传送到第二存储器 30。在此数据处理中，ECC 存储器控制器 108 处理数据的顺序是：读数据、纠错、传送数据、读数据、纠错、再传送数据。即，由于数据从一个存储器的三个区中存取，所以纠错速度受到损害。因此具有这种系统解码器 18 的光盘再现装置在数据处理速度和数据传送速度方面是慢的。

因此本发明的一个目的在于提供一种具有纠错存储器的光盘再现装置系统解码器，这种系统解码器通过提高纠错速度来提高数据处理和数据传送的速度。

本发明的另一目的是提供一种控制纠错存储器的方法，其能提高具有系统解码器的光盘再现装置中的纠错速度。

按照本发明的一个方面，具有解扰器以恢复在数据编码过程中加扰的数据的光盘再现装置的系统解码器包括：第一和第二存储器，用于纠错；以及存储器控制器，用于在把从光盘读出和解调的数据写入存储器中的一个的同时把纠错后的数据传送到解扰器，和在写和读已解调已纠错数据的同时对写入另一个存储器的数据进行纠错。

按照本发明的另一方面，控制光盘再现装置第一和第二纠错存储器的方法包括以下步骤：一旦接收到包括主数据、内校验数据和外校验数据的一个数据扇区的解调数据就交替地把一个纠错块写入第一和第二存储器；对相应的一个纠错块纠错；以及当把一个纠错块写入任何一个存储器时读取已纠错数据。

从结合附图作出的下列详细说明，本发明的这些和另一些目的、特点和优点将更为明显。

图 1 是一般数字视盘(或多用途盘)再现装置的方框图；

图 2 是图 1 所示的系统解码器的详细方框图；

图 3 是按照本发明优先实施例的系统解码器的详细方框图；

图 4 是按照本发明优先实施例的图 3 ECC 存储器控制器的详细方框图；

图 5 是表示按照本发明优先实施例的存储器控制器数据处理程序的流程图;

图 6 表示按照本发明优先实施例的解调后的数据扇区结构;

图 7 表示按照本发明优先实施例的一个纠错块的结构; 以及

5 图 8 表示按照本发明优先实施例的第三和第四存储器中每一个存储器的映射表结构。

对本发明的优先实施例将参考附图进行如下的详细说明。应注意的是在所有各图中相同标号表示相同单元。在以下说明中, 提出许多具体细节, 如纠错块的大小、一个字的记录时间、最大存取次数、详细的处理流等等, 是
10 为了更透彻地理解本发明。然而, 明显的是对本领域的技术人员来说, 没有这些具体细节也可实现本发明。此外, 对可能使本发明变得模糊的不必要详细的众所周知的功能或结构不作详细描述。

参看图 3, 除了第三和第四存储器 130 和 140 之外, 按照本发明的系统解码器具有与图 2 系统解码器 18 相同的结构。第三和第四存储器 130 和 140
15 是使用 SRAM 的纠错存储器。此外, 它们形成在单个芯片中。

图 4 是图 3 ECC 存储器控制器 108 的详细方框图。图 5 是表示图 4 存储器控制器 109 的数据处理程序的流程图。参看图 4, 在存储器控制器 109 的控制下, 第三和第四存储器 130 和 140 存储已解调和已纠错数据。存储器控制器 109 按照数据处理控制程序控制 ECC 存储器控制器 108 总的操作。在存储器控制器 109 的控制下, 存储器写控制器 150 把来自 EFM 解调器 100 的已
20 解调数据写入第三存储器 130 或第四存储器 140。响应由存储器控制器 109 产生的 ECC 开始信号, 纠错器 110 水平和垂直地对由读自 DVD 类型的盘 10 的数据组成的纠错块进行纠错。为进行该纠错, 第三和第四存储器 130 和 140 收集由 EFM 解调器 100 产生的 ID 数据和主数据, 并且以块为单位存储该数据以形成纠错块。存储器读控制器 160 在存储器控制器 109 的控制下读取存储在第三存储器 130 或第四存储器 140 中的数据, 并把读出的数据传送给解
25 扰器和差错检测器 112。

参照图 5, 存储器控制器 109 与 ECC 同步信号同步地执行数据处理程序。

30 在步骤 200, 存储器控制器 109 把一个纠错块写入第三存储器 130。在步骤 210, 存储器控制器 109 对已写入第三存储器 130 的数据进行纠错, 同

时把下一个纠错块写入第四存储器 140。在步骤 220，存储器控制器 109 对已写入第四存储器 140 的数据进行纠错，把来自第三存储器 130 的已纠错数据传送到存储器读控制器 160，及把下一个纠错块写入第三存储器 130。在步骤 230，存储器控制器 109 对写入第三存储器 130 的数据纠错，把第四存储器 140 的已纠错数据传送给存储器读控制器 160、和把下一个纠错块写入第四存储器 140。在步骤 240，存储器控制器 109 检查已解调数据的接收是否结束。如果未结束，则存储器控制器 109 返回到步骤 220。如果从 EFM 解调器 100 收不到已解调数据，则存储器控制器 109 完成数据处理程序。

在以下将把存储器控制器 109 的上述数据处理程序分类为数据写过程、纠错过程和传送已纠错数据过程。

图 6 表示解调后的数据扇区结构，以说明存储器控制器 109 的数据处理程序的数据写过程。图 7 表示一个纠错块的结构。图 8 表示第三和第四存储器 130 和 140 中每一个存储器的映射表结构。在从 EFM 解调器 110 解调的数据的结构中，2064 字节的主数据、130 字节的内校验数据 PI 和 172 字节的外校验数据 PO 组成一个扇区，如图 6 所示。数据从第一行的左边起以块为单位输出和写入第三存储器 130 或第四存储器 140。如图 7 所示，一个纠错块由 16 个数据扇区组成，其大小是 37856 字节。即：

2064 字节(主数据)+ 130 字节(PI)+ 172 字节(PO) = 2366 字节(一个数据扇区)

20 $2366 \text{ 字节} \times 16 = 37856 \text{ 字节(一个纠错块)} \dots\dots(1)$

为了纠错，应当正确地把 16 个数据扇区作为纠错块写入第三存储器 130 或第四存储器 140。从 EFM 解调器 100 来的按照 ECC 同步信号进行解调的数据交替地以 16 个数据扇区为单位写入第三和第四存储器 130 和 140。在此情况下，主数据、PI 和 PO 以字(2 字节)为单位写入存储器映射表的预定位置。当一字的写时间设计为系统时钟 PCLK 的 3T 或 4T 时，一个纠错块的数据写时间列出如表 1。

表 1

速度	PLCK[MHz]	3T/4T[ns]	存取次数	存取时间 [ms]	写极限时间 [ms]
1X	27	111/148	18,928	2.1/2.8	22.92
2X	54	55.5/74		1.05/1.4	11.46
4X	108	27.8/37		0.525/0.7	5.73
6X	162	18.5/24.69		0.35/0.47	3.82
8X	216	13.9/18.5		0.263/0.35	2.86

在存储器控制器 109 数据处理程序的纠错过程中，如果一个纠错块的数据写入了第三存储器 130 或第四存储器 140，则存储器控制器 109 产生 ECC 开始信号以开始纠错。在完成 PI 纠错之后，进行 PO 纠错，同样的过程再重复一次。虽然 EFM 已解调数据具有如图 7 的一个纠错块的结构，但是应该把它写入图 8 的存储器映射表。为了进行图 7 所示的第一行的 PI 纠错，172 字节的数据从数据区读取，10 字节的数据从 PI 区读取以进行检错和纠错。已纠错数据重新写入出现差错的位置。PI 纠错是对主数据和 PI 这二者进行的。为了计算一行的校正子(syndrome)、差错位置及误差值，以字为单位读取 182 字节的数据和校验码。由于每行中纠错的最大字节数为 10 字节，所以读和写重复 10 次。为 PI 纠错的存储器存取次数由下列公式(2)求得。即，纠错存储器的最大存取次数为 23088 次。

校正子、差错位置、误差值： $182 \times 208 = 37856$ 字节

纠错： $(10 \times 208) \times 2 = 4160$ 字节

最大存取次数： $37856/2 + 4160 = 23088.....(2)$

PO 纠错以字节为单位沿列方向进行。为了计算一列的校正子、差错位置和误差值，读取 208 字节数据和校验码。每列能进行纠错的最大字节数为 16 字节，所以如下式(3)所计算，为 PO 纠错的最大存储器存取次数是 43680。

校正子、差错位置、误差值： $208 \times 182 = 37856$ 字节

纠错： $(16 \times 182) \times 2 = 5824$ 字节

最大存取次数： $37856 + 5824 = 43680.....(3)$

因此，在 PI + PO + PI + PO 的纠错中，最大存取次数是 $145440 (= (23088 + 43680) \times 2)$ 。如果存储器存取时间是系统时钟 PLCK 的 3T 或 4T，则一个纠错块的纠错时间如下表 2 所示。

表 2

速度	PLCK[MHz]	3T/4T[ns]	存取次数	存取时间 [ms]	写极限时间 [ms]
1X	27	111/148	133, 536	14.82/19.72	22.92
2X	54	55.5/74		7.41/9.885	11.46
4X	108	27.8/37		3.705/4.9425	5.73
6X	162	18.5/24.69		2.47/3.297	3.82
8X	216	13.9/18.5		1.8525/2.471	2.86

在存储器控制器 109 数据处理程序的已纠错数据的传送过程中, 已纠错数据传送到解扰器和差错检测器 112。由于传送的数据是每扇区 2064 字节, 所以一个纠错块有 16512 字要传送。一个纠错块的传送时间在下表 3 中列出。

表 3

速度	PLCK[MHz]	3T/4T[ns]	存取次数	存取时间 [ms]	写极限时间 [ms]
1X	27	111/148	16, 512	1.84/2.44	22.92
2X	54	55.5/74		0.92/1.22	11.46
4X	108	27.8/37		0.46/0.61	5.73
6X	162	18.5/24.69		0.3/0.4	3.82
8X	216	13.9/18.5		0.23/0.305	2.86

另一方面, 如图 3 所示, 纠错存储器 28 分成第三和第四存储器 130 和 140。已解调数据同时在一个存储器中读取和写入。另一个存储器只用于纠错。如上表 1、2 和 3 所示, 在一已知时间内的存取次数是确定的。例如, 在四倍速下, 如果一个字的存取时间是系统时钟的 4T, 则在写入已解调数据和为了把数据传送到解扰器和差错检测器 112 而从中读取数据的存储器中, 每个纠错块的存取次数为 35440(= 写 18928 次 + 读 16512 次), 存取时间为 1.31ms。在纠错期间, 由于在存取次数为 133586 时纠错时间为 4.9425ms, 所以如果存取次数为 141760, 则纠错时间为 5.245ms。由盘 10 输入一个纠错块的时间是 5.73ms, 所以纠错在该输入时间内完成。此外, 在八倍速下, 当一个字的存取时间为系统时钟 PCLK 的 4T 时, 一个字的存取时间为 18.5ns。如果使用具有 18.5ns 或更少的存取时间的存储器, 则因为纠错时间

为 2.62ms，数据输入时间为 2.86ms，所以在给定时间内足以进行纠错。

如上所述，当从光盘再现的数据交替地写入二个纠错存储器时，从一个存储器读取已纠错数据，从另一存储器实现纠错。因此提高了数据处理速度，且可减少数据传送时间。

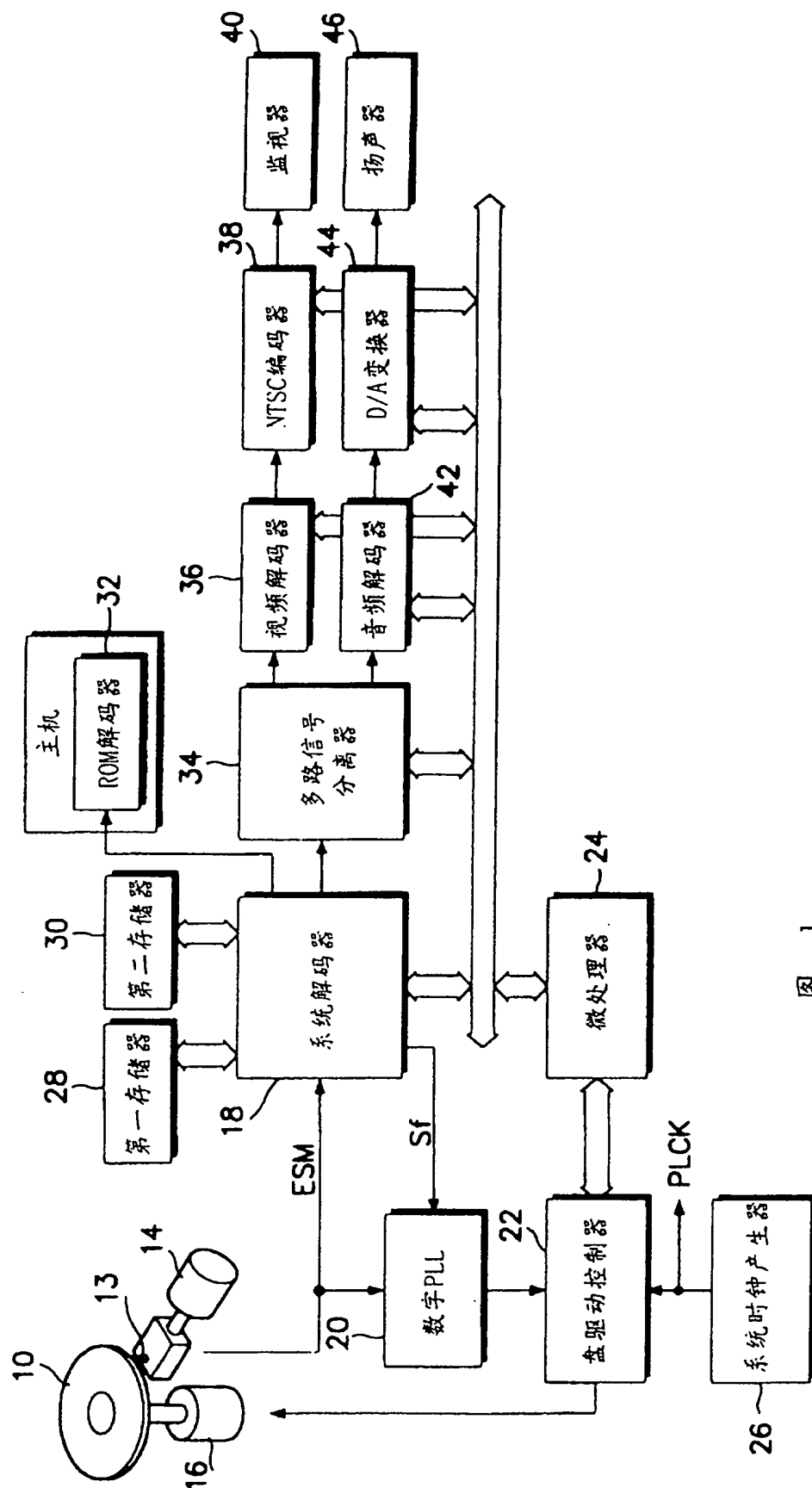


图 1

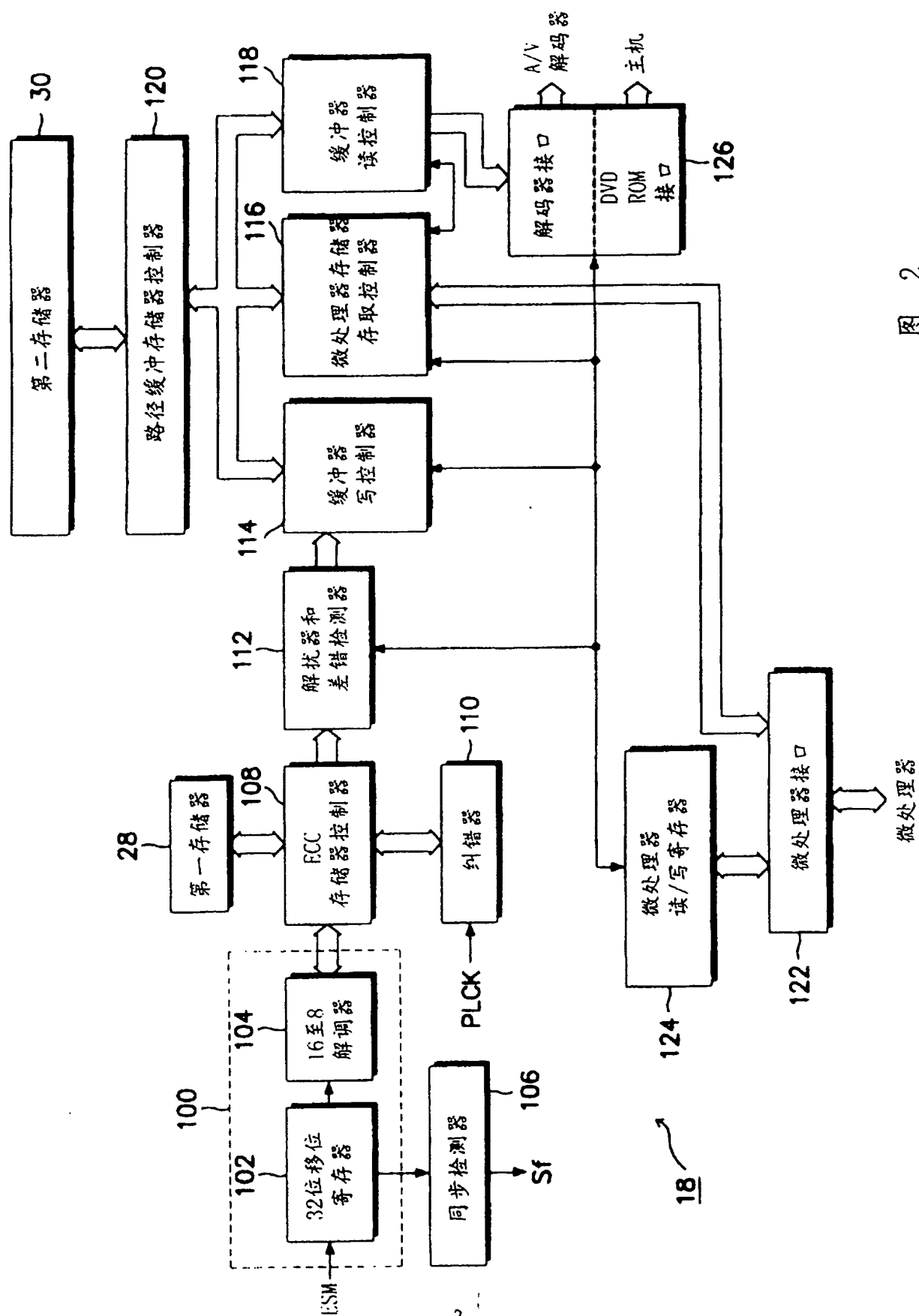


图 2

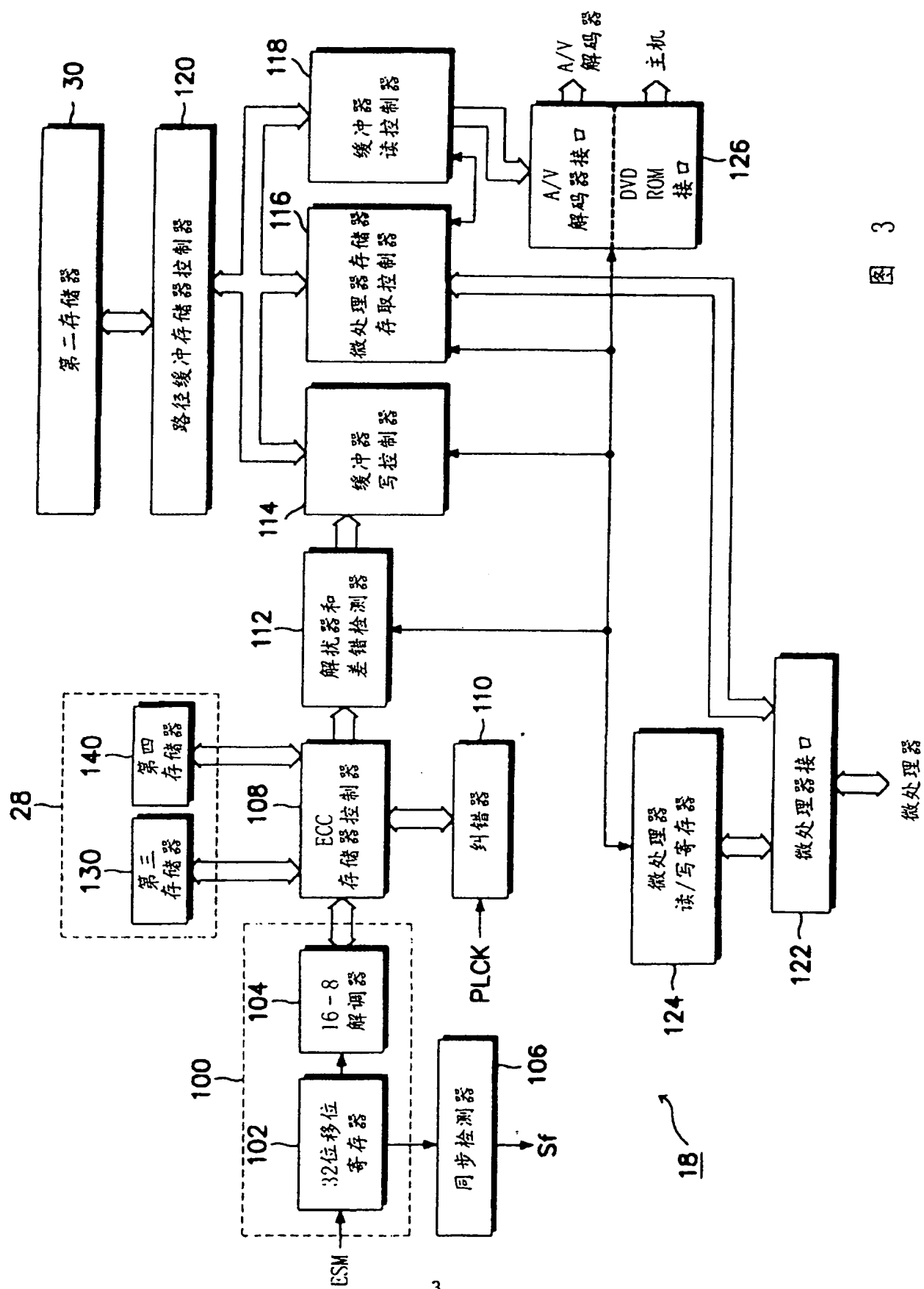


图 3

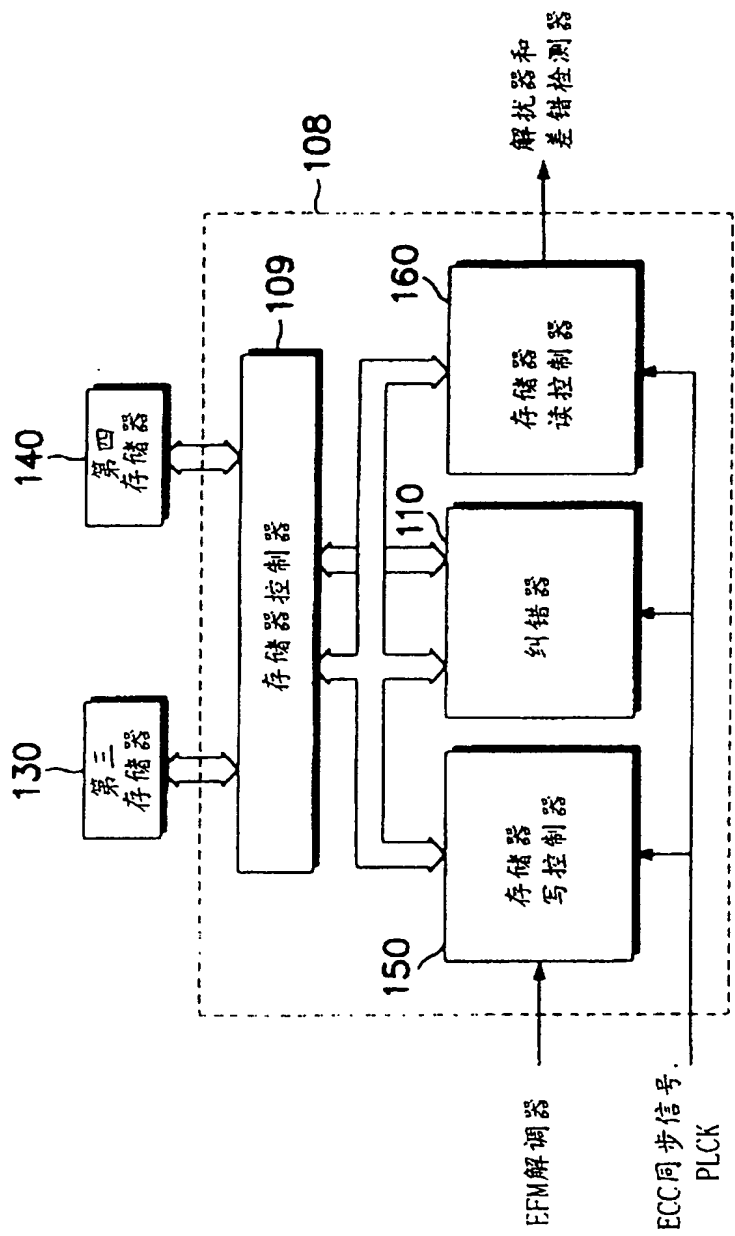


图 4

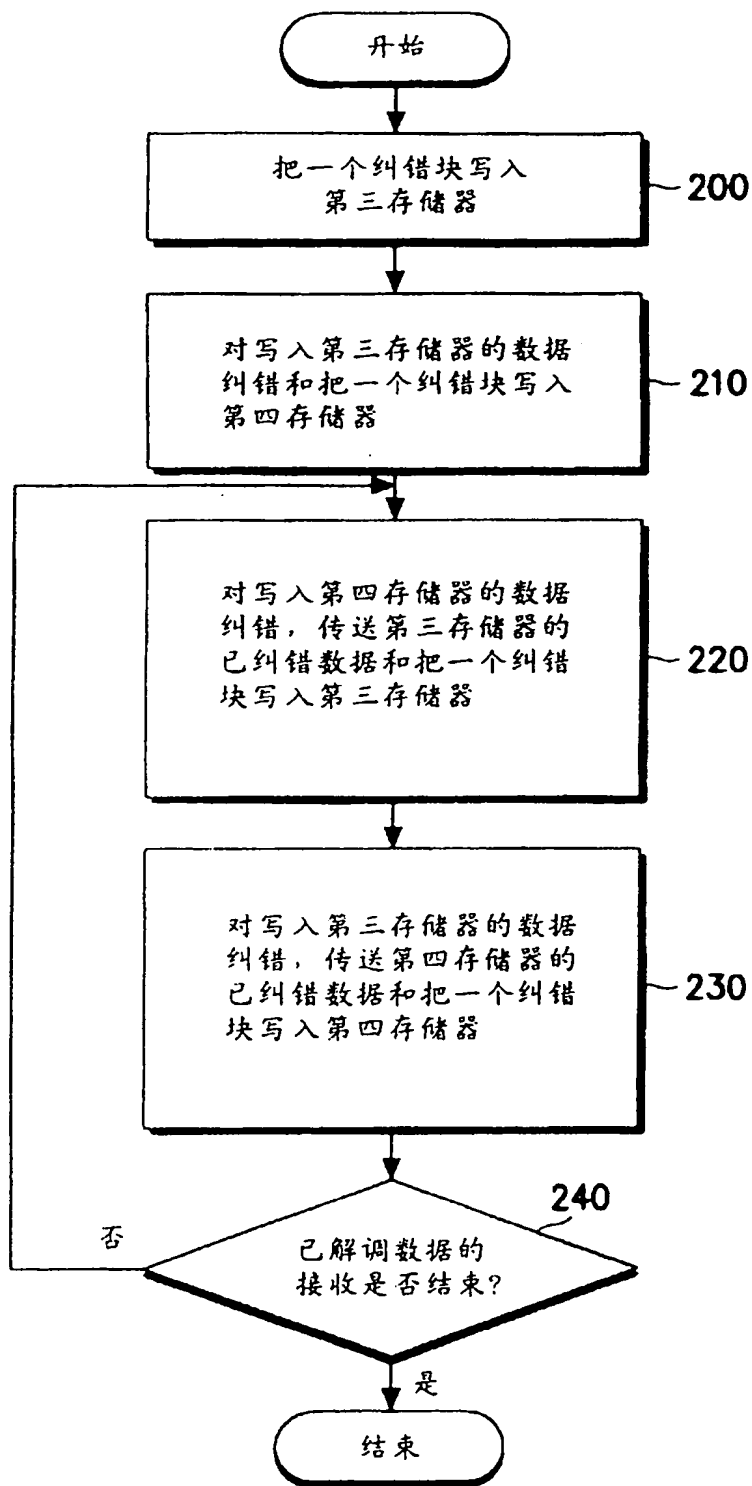


图 5

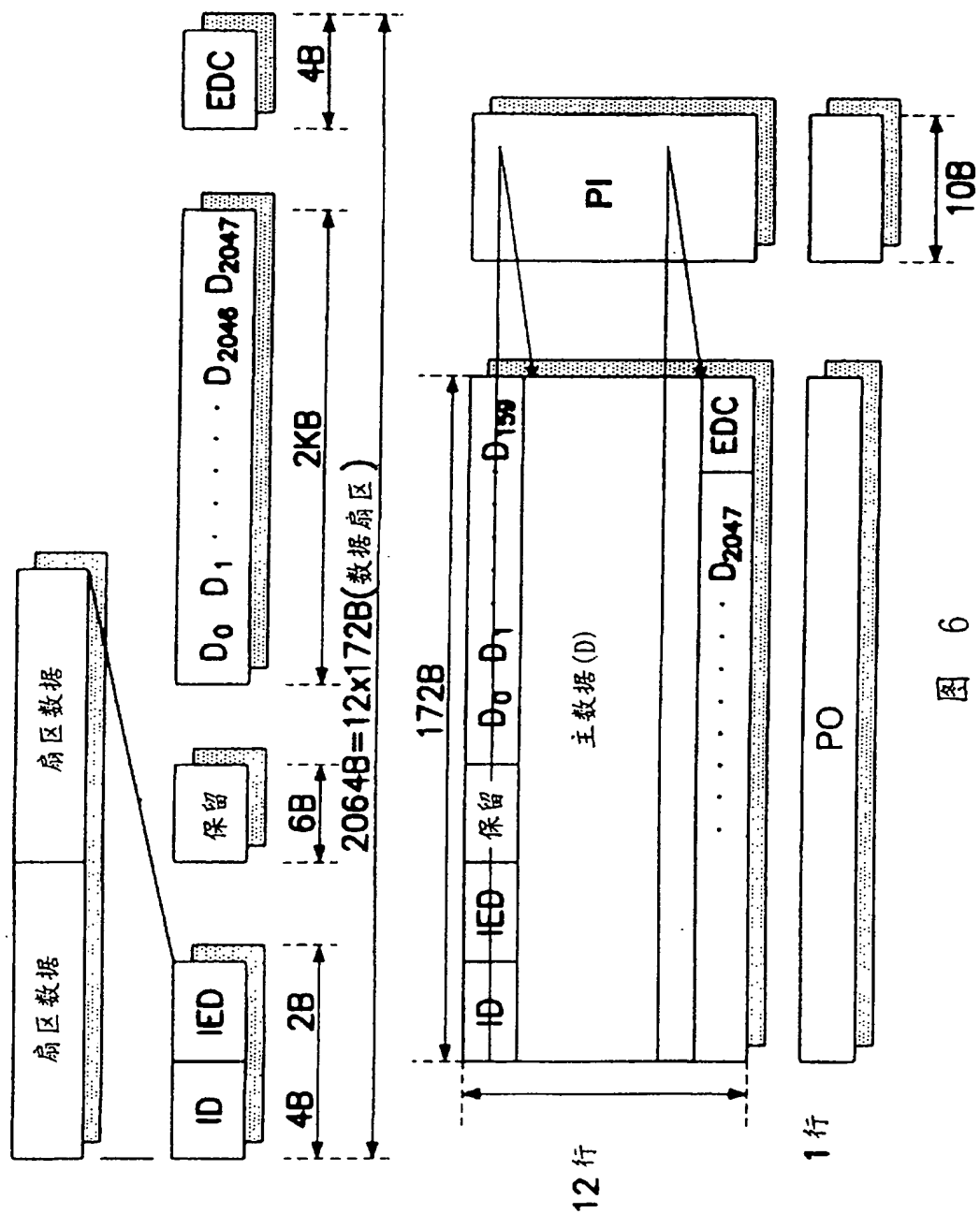


图 6

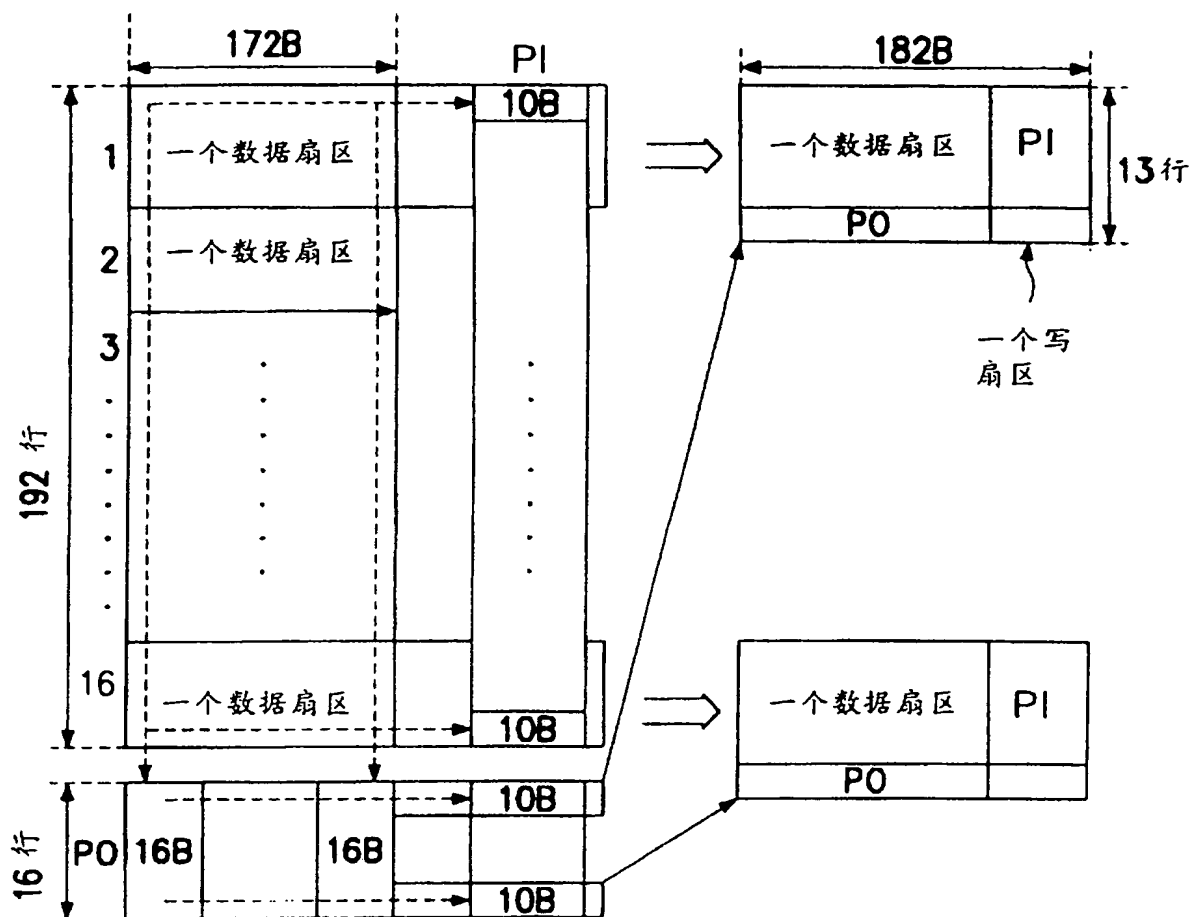


图 7

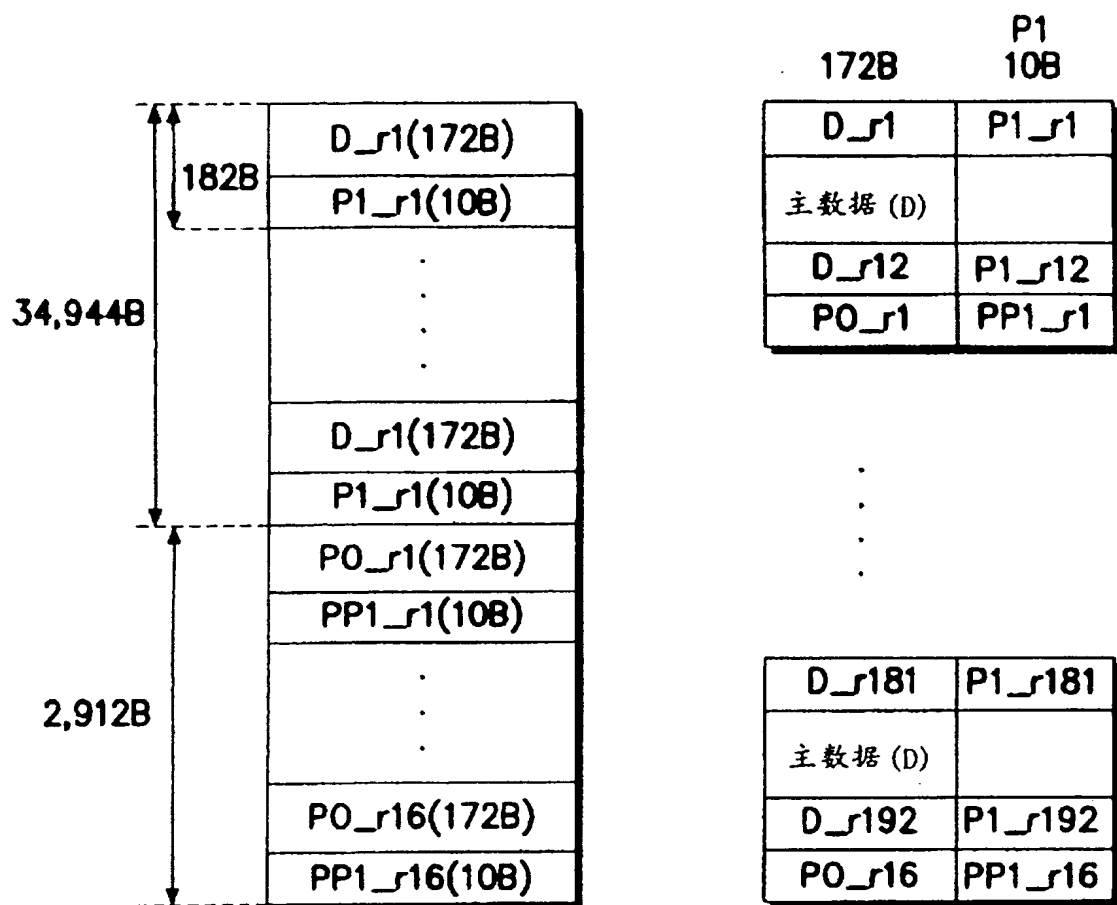


图 8